

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **62-003516**
 (43)Date of publication of application : **09.01.1987**

(51)Int.CI. **H03H 17/02**

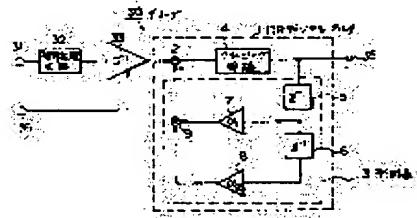
(21)Application number : **60-143162** (71)Applicant : **SONY CORP**
 (22)Date of filing : **29.06.1985** (72)Inventor : **NISHIGUCHI MASAYUKI**

(54) DIGITAL FILTER CIRCUIT

(57)Abstract:

PURPOSE: To decrease a margin bit with a length of an operating word and to reduce the recovery time from an error by inserting a clipping circuit in feedback loop of a filter circuit in a filter circuit of the IIR (infinite impulse response) type.

CONSTITUTION: An output of an IIR digital filter 1 used for a decoder side of a bit rate reduction system is fed back to an adder 2 at the input side via a forecast device 3. A clipping circuit 4 is inserted and connected in the feedback loop. It is preferable to insert and connect the circuit 4 at a position just after the adder 2 where overflow takes place. Thus, the circuit 4 applies the clipping processing as to the filter output and also the clipping processing to a supply data to the forecast device 3 and it is possible to reduce a high-order margin bit of the length of the operating word at the forecast device 3.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

⑫ 公開特許公報 (A) 昭62-3516

⑬ Int.Cl.

H 03 H 17/02

識別記号

厅内整理番号

⑬ 公開 昭和62年(1987)1月9日

7328-5J

審査請求 未請求 発明の数 1 (全14頁)

⑭ 発明の名称 ディジタル・フィルタ回路

⑮ 特願 昭60-143162

⑯ 出願 昭60(1985)6月29日

⑰ 発明者 西口正之 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑱ 出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑲ 代理人 弁理士 小池晃 外1名

明細書

G-1. 概略構成

G-2. ビット・レート・リダクション・システムへの適用例

G-3. オーバーフロウの説明

G-4. クリッピング処理の説明

G-5. 他の実施例

II. 発明の効果

A. 産業上の利用分野

本発明は、いわゆる IIR (無限インパルス応答) タイプのディジタル・フィルタ回路に関し、特に、ビット・レート・リダクション・システムのデコーダ等のように伝送路等でのコード・エラーを含むデータが入力される回路部に用いて好適な IIR ディジタル・フィルタ回路に関する。

B. 発明の概要

本発明は、ディジタル・フィルタ回路の帰還ループ内にクリッピング回路を挿入接続することにより、

1. 発明の名称

ディジタル・フィルタ回路

2. 特許請求の範囲

内部に帰還ループを有するディジタル・フィルタ回路において、上記帰還ループ中にクリッピング回路を挿入接続して成るディジタル・フィルタ回路。

3. 発明の詳細な説明

以下の順序で本発明を説明する。

A. 産業上の利用分野

B. 発明の概要

C. 従来の技術

D. 発明が解決しようとする問題点

E. 問題点を解決するための手段

F. 作用

G. 実施例

ディジタル・フィルタの演算語長の上位側の余裕を大きくとることなくオーバーフローによる悪影響を防止でき、エラーからの復帰時間を短縮して高品質のフィルタ出力を得ることができるようになしたものである。

C. 従来の技術

差分PCM法等を用いてビット圧縮処理を行うビット・レート・リダクション・システムのデコーダ等には、いわゆる IIR(無限インパルス応答)ディジタル・フィルタ回路が用いられている。このような IIR フィルタ回路においては、伝送エラー等のコード・エラーを含む可能性のあるデータが入力されることを考慮して、演算語長の MSB(最上位ビット)よりもさらに上位側に 2 ~ 3 ビット程度の余裕をとって演算を行い、出力時にクリッピング処理を施してフィルタ出力を得ている。

このような従来の IIR ディジタル・フィルタ回路の一例を第 19 図に示す。この第 19 図にお

IIR ディジタル・フィルタ回路 60 においては、加算器 62, 67 および遅延素子 63, 64 についてそれぞれ 16+2 ビットの語長が必要となり、また、乗算器 65, 66 に対しては、係数語長を 8 ビットとして、16+2 ビットと 8 ビットとの乗算の可能なものが必要とされ、演算語長が長くなるためハードウェア構成が増大するという欠点がある。また、上記上位側の余裕を少なくすると、演算途中のデータのオーバーフローにより、2 の補数表示データにおける極性(正, 負)反転等の悪影響が生ずる虞れがある。

本発明は、このような従来の実情に鑑みてなされたものであり、演算語長の MSB よりも上位側の余裕ビット数を抑えてハードウェア構成を小さくしても、オーバーフローによる悪影響が生ずることなく、しかも高品質のフィルタ出力を得ることができるようにしたディジタル・フィルタ回路の提供を目的とする。

E. 問題点を解決するための手段

いて、例えば 2 次の IIR ディジタル・フィルタ回路 60 の入力端子 61 には、上記エラーを含む可能性のあるデータ、例えば 1 ワード 16 ビットで上位側にさらに 2 ビット分符号拡張(サイン・エクステンド)された 18 ビットのデータが入力されている。この入力データは加算器 62 に送られ、加算器 62 からの出力が 2 個の 1 サンプル(1 ワード)遅延素子 63, 64 の直列回路に送られ、各遅延素子 63, 64 からの出力はそれぞれ係数乗算器 65, 66 を介して加算器 67 に送られて加算され、この加算器 67 からの出力が上記加算器 62 に送られて上記入力データと加算されるようになっている。さらに、加算器 62 からの出力は出力端子 68 より取り出されるわけであるが、この出力端子 68 の直前にクリッピング回路 69 を挿入接続し、16 ビットでクリッピングされた出力を得るようにしている。

D. 発明が解決しようとする問題点

ところで、この第 19 図に示すような従来の I

すなわち、本発明に係るディジタル・フィルタ回路は、フィルタ内の帰還ループ中にクリッピング回路を挿入接続することを特徴としている。

F. 作用

帰還ループ中にクリッピング回路が設けられたことにより、演算語長の余裕ビットを低減することができ、またクリッピングされたデータが帰還路に戻されることにより、エラーからの回復時間を早めることができる。

G. 実施例

G-1. 概略構成

第 1 図は、本発明の一実施例となる IIR ディジタル・フィルタ 1 を用いて構成されるデコーダ 30 を示し、このようなデコーダ 30 は、例えば第 2 図に示すようなビット・レート・リダクション・システムに用いられるものである。

先ず第 1 図において、デコーダ 30 の入力端子 31 には、後述するビット・レート・リダクショ

ン・システムのエンコーダ等より伝送されたエラーを含むデジタル信号が入力されている。この入力された信号は、例えば補間処理回路32を介してビット伸張のための利得G⁻¹のシフタ33に送られ、このシフタ33からの出力がIIR(無限インパルス応答)デジタル・フィルタ1の入力側の加算器2に送られている。ここで一般に、上述のようなビット・レート・リダクション・システムのデコーダ側に用いられるIIRデジタル・フィルタ1は、その出力より予測器3を介して得られた予測信号を上記入力側の加算器2に帰還するような帰還ループを有している。この場合の予測器3は、過去のデータに基いて次のデータの予測値を出力するような一種のFIR(有限インパルス応答)デジタル・フィルタである。さらに、本発明の特徴として、このようなIIRデジタル・フィルタ1の上記帰還ループ中にクリッピング回路4を挿入接続している。すなわち、第1図のフィルタ1の例では、加算器2からの出力がクリッピング回路4を介して予測器3に供給

に語長が16ビットにクリッピング処理されたデータとなっているから、各遅延素子5,6の語長はそれぞれ16ビットで充分であり、各乗算器7,8は係数語長を8ビットとして16ビットと8ビットの演算が可能であればよい。また、各乗算器7,8から取り出されるデータのワード長については、16ビットのMSB(最上位ビット)よりも上位側にmビットの余裕ビットを付加したものとなり、これは、乗算結果の24ビットのうち係数のノーマライズに応じて決定される位置から16+mビット取り出して加算器9に送ることに相当するから、加算器9の演算語長も16+mビットとなる。この上位側余裕ビットmは、通常1ビット程度でよい。

したがって、第1図に示す従来例に比べて、単位遅延素子5,6の語長をそれぞれ2ビット程度少なくでき、係数乗算器7,8の入力データ語長をそれぞれ2ビット程度少なくでき、また、加算器9や2の演算語長も従来より少なくできる。

なお、第1図のIIRフィルタ1の加算器2お

されるような構成を有し、フィルタ出力はクリッピング回路4と予測器3との接続点より取り出されてデコード出力端子35に送られている。この場合、上記帰還ループ中のうちいずれの箇所にクリッピング回路を設けててもよいが、特に、第1図に示すように、オーバーフローの生じ得る部分である加算器2の直後の位置にクリッピング回路4を挿入接続するのが好ましい。

この場合、クリッピング回路4は、フィルタ出力についてのクリッピング処理のみならず、予測器3への供給データに対するクリッピング処理も同時にに行っていることになり、予測器3での演算語長の上位側余裕ビットを少なく済ませることが可能となる。これを前述した第19図の従来例との対比の下に説明すると、第1図のIIRデジタル・フィルタ1の予測器3として、2個の単位遅延素子5,6、2個の係数乗算器7,8および加算器9より成る2次のFIRデジタル・フィルタを用い、1ワード16ビットのデータを取り扱う場合に、クリッピング回路4からの出力は常

より9は、まとめて1個の総和加算器としてもよく、また、現実のハードウェア構成においては、いわゆるDSP(デジタル信号処理装置)や係数メモリ等を用いて、ソフトウェア的に第1図の回路構成を実現することも多いことは勿論である。

また、実際のフィルタ内での演算に関しては、上位側のみならず、下位側にも余裕ビットが必要とされることも多いが、本発明とは直接的な関連が無いため、説明を省略する。

G-2. ビット・レート・リダクション・システムへの適用例

次に、第2図を参照しながら、上述したデコーダ30を用いて成るビット・レート・リダクション・システム全体の概略的な構成について説明する。

この第2図のシステムは、送信側(あるいは記録側)のエンコーダ10と、受信側(あるいは再生側)の上記デコーダ30とから成り、エンコーダ10にてビット圧縮処理等の施されたディジタ

ル信号を伝送媒体や記録媒体等の伝送路を介して
伝送し、デコーダ30にてエンコーダ10の処理
に対して逆の処理となるビット伸張処理を施すこ
とにより、低ビット・レートでのディジタル信号
伝送を実現するものである。

この第2図において、エンコーダ10の入力端子11には、通常のオーディオ信号やビデオ信号等のアナログ信号をデジタル信号に変換して得られるPCM信号が供給されている。以下の説明においては、一例として、アナログ・オーディオ信号をサンプリング周波数 f_s で標本化し、量子化および符号化を施して得られるオーディオPCM信号 $x(n)$ が供給されているものとする。この入力信号 $x(n)$ は、予測器12および加算器13にそれぞれ送られており、子測器12からの予測信号 $\tilde{x}(n)$ は、加算器13に減算信号として送られている。したがって、加算器13においては、上記入力信号 $x(n)$ から上記予測信号 $\tilde{x}(n)$ が減算されることによって、予測誤差信号あるいは(広義の)差分出力 $d(n)$ 、すなわち、

後述するように、互いに異なる特性の予測器が複数個設けられていると、あるいは予測器と加算器とより成る差分出力（予測誤差出力）を得るためにフィルタ（差分処理フィルタ）が複数設けられているとみなすことができ、これらの複数の差分処理フィルタのうちの最適のフィルタを上記各ブロック毎に選択するわけである。この最適フィルタの選択は、複数の各差分処理フィルタからの出力のブロック内最大絶対値（ピーク値）または最大絶対値（ピーク値）または最大絶対値（ピーク値）に係数を乗算した値を、予測・レンジ適応回路21において互いに比較することによって行われ、具体的には各最大絶対値（またはその係数乗算値）のうち値が最小となるような差分処理フィルタが当該ブロックに対して最適のフィルタとして選択される。このときの最適フィルタ選択情報は、モード選択情報として、予測・レンジ適応回路21から出力され、予測器12に送られる。

次に、上記予測誤差としての差分出力 $d(n)$ は、
加算器 1 4 を介し、利得 G のシフタ 1 5 と量子化

が出力される。

ここで、予測器 12 は、一般に過去の p 個の入力 $x(n-p), x(n-p+1), \dots, x(n-1)$ の 1 次結合により予測値 $\tilde{x}(n)$ を算出するものであり、

ただし α_k ($k = 1, 2, \dots, p$) は係数

となる。したがって、上記予測誤差出力あるいは（広義の）差分出力 $d(n)$ は、

と表せる。

また、本実施例においては、入力ディジタル信号の一定時間内のデータ、すなわち入力データの一定ワード数毎にブロック化するとともに、各ブロック毎に最適の予測フィルタ特性が得られるように上記係数 α_k の組を選択している。これは、

器 16 とよりなるビット圧縮手段に送られ、例えば浮動小数点(フローティング・ポイント)表示形態における指数部が上記利得 G に、仮数部が量子化器 16 からの出力にそれぞれ対応するよう圧縮処理あるいはレンジング処理が施される。すなわち、シフタ 15 は、デジタル 2 進データを上記利得 G に応じたビット数だけシフト(算術シフト)することによりいわゆるレンジを切り替えるものであり、量子化器 17 は、このビット・シフトされたデータの一定ビット数を取り出すような再量子化を行っている。次に、ノイズ・シェイピング回路(ノイズ・シェイバ) 17 は、量子化器 16 の出力と入力との誤差分、いわゆる量子化誤差を加算器 18 で得て、この量子化誤差を利得 G^{-1} のシフタ 19 を介し予測器 20 に送って、量子化誤差の予測信号を加算器 14 に減算信号として帰還するようないわゆるエラー・フィードバックを行う。このとき、予測・レンジ適応回路 21 は、上記選択されたモードのフィルタからの差分出力のブロック内最大絶対値に基きレンジ情報を

出力し、このレンジ情報を各シフタ15および19に送ってブロック毎に上記各利得GおよびG⁻¹を決定している。また、予測器20については、予測・レンジ適応回路21からの上記モード情報が送られることによって特性が決定されるようになっている。

したがって、加算器14からの出力d'(n)は、上記差分出力d(n)よりノイズ・シェイパ17からの量子化誤差の予測信号ẽ(n)を減算した

$$d'(n) = d(n) - ẽ(n) \quad \dots \dots \dots \text{④}$$

となり、利得Gのシフタからの出力d̄(n)は、

$$d̄(n) = G \cdot d'(n) \quad \dots \dots \dots \text{⑤}$$

となる。また、量子化器16からの出力d̂(n)は、量子化の過程における量子化誤差をe(n)とすると、

$$\hat{d}(n) = d̄(n) + e(n) \quad \dots \dots \dots \text{⑥}$$

となり、ノイズ・シェイパ17の加算器18において上記量子化誤差e(n)が取り出され、利得G⁻¹

この⑥式のd(n)に上記③式を代入して、

$$\begin{aligned} \hat{d}(n) &= G \left(x(n) - \sum_{k=1}^p \alpha_k \cdot x(n-k) \right) + e(n) \\ &\quad - \sum_{k=1}^r \beta_k \cdot e(n-k) \end{aligned} \quad \dots \dots \dots \text{⑦}$$

となり、この出力d̂(n)が出力端子22を介して取り出される。ここで、上記x(n), e(n), d̂(n)のz変換をそれぞれX(z), E(z), D̂(z)とすると、

$$\begin{aligned} \hat{D}(z) &= G \cdot X(z) \left(1 - \sum_{k=1}^p \alpha_k \cdot z^{-k} \right) \\ &\quad + E(z) \left(1 - \sum_{k=1}^r \beta_k \cdot z^{-k} \right) \\ &= G \cdot X(z) (1 - P(z)) + E(z) (1 - R(z)) \end{aligned} \quad \dots \dots \dots \text{⑧}$$

となる。

なお、予測レンジ適応回路21からの上記レンジ情報を出力端子23より、また上記モード選択情報は出力端子24よりそれぞれ取り出される。

以上のような構成のエンコーダ10の各出力端子22, 23, 24からの出力は、必要に応じて

のシフト19を介し、過去のr個の入力の1次結合をとる予測器20を介して得られる量子化誤差の予測信号ẽ(n)は、

$$\tilde{e}(n) = \sum_{k=1}^r \beta_k \cdot e(n-k) \cdot G^{-1} \quad \dots \dots \dots \text{⑨}$$

となる。この⑨式は、上述の②式と同様の形となっており、予測器12および20は、それぞれシステム関数が、

$$\left. \begin{aligned} P(z) &= \sum_{k=1}^p \alpha_k z^{-k} \\ R(z) &= \sum_{k=1}^r \beta_k z^{-k} \end{aligned} \right\} \quad \dots \dots \dots \text{⑩}$$

のFIR(有限インパルス応答)ディジタル・フィルタである。また、予測器12と加算器13により成る差分処理フィルタ26は、システム関数が1 - P(z)のFIRディジタル・フィルタである。

これらの④～⑩式より、量子化器16からの出力d̂(n)は、

$$\begin{aligned} \hat{d}(n) &= G \cdot (d(n) - ẽ(n)) + e(n) \\ &= G \cdot d(n) + e(n) - \sum_{k=1}^r \beta_k \cdot e(n-k) \end{aligned} \quad \dots \dots \dots \text{⑪}$$

マルチプレクサや変調器等により通信あるいは記録・再生等に適した信号形態に変換され、伝送媒体あるいは記録媒体等を介して伝送される。受信側あるいは再生側においては、上記とは逆のデマルチプレクサや復調器等により上記各端子22, 23, 24からの出力にそれぞれ対応する信号を得て、デコーダ30の各入力端子31, 36, 37にそれぞれ供給している。

ここで、デコーダ30は、前述した第1図のデコーダと同様な構成を有するものであり、入力端子31には、上記エンコーダ10の出力端子22からの出力d̂(n)が伝送されること(変調・復調等も含む)によって得られた信号d̂(n)が供給されている。この入力信号d̂(n)は、補間回路32を介し、利得G⁻¹のシフタ33を介して信号d̄(n)となり、この信号d̄(n)は前述のIIRディジタル・フィルタ1の入力側の加算器2に送られている。

また、デコーダ30の入力端子36には、エンコーダ10の出力端子23からの上記レンジ情報が送られており、このレンジ情報はシフタ32に

送られて利得 G^{-1} を決定する。さらに、デコーダ 30 の入力端子 37 には、エンコーダ 10 の出力端子 24 からの上記モード選択（フィルタ特性選択）情報が送られており、このモード選択情報は、IIR ディジタル・フィルタ 1 の特性を決定するために、例えば予測器 3 に送られている。この予測器 3 は、エンコーダ 10 の予測器 12 と等しい関数 $P(z)$ を有しており、上記各ブロック毎に選択された予測器 12 の特性に等しい特性が上記モード選択情報に応じて選択されることにより、エンコーダ側の FIR フィルタ 26 における差分処理に対して正反対の処理あるいは逆の処理となる和分処理（積分処理）が IIR ディジタル・フィルタ 1 により行われる。

このような構成のデコーダ 30 における定常的な動作、あるいはエラー補間やクリッピング処理等が行われない場合の動作について考察すると、シフタ 33 からの出力 $\hat{d}'(n)$ は、

$$\hat{d}'(n) = \hat{d}(n) \cdot G^{-1} \quad \text{.....⑪}$$

の信号伝送過程にエラーが無いとして、 $\hat{D}'(z) = \hat{D}(z)$ とすると、上記⑪式および⑫式より、

$$\hat{X}'(z) = \hat{X}(z) + G^{-1} \cdot E(z) \frac{1 - R(z)}{1 - P(z)} \quad \text{.....⑬}$$

となる。

この⑬式より、量子化誤差 $E(z)$ に対して G^{-1} のノイズ低減効果が得られることが明らかであり、このときデコーダ出力に現れるノイズのスペクトル分布を $N(z)$ とすると、

$$N(z) = E(z) \frac{1 - R(z)}{1 - P(z)} \quad \text{.....⑭}$$

となる。

ここで、デコーダ 30 の補間回路 32 は、いわゆるエラー・フラグ等を見ることによって、入力信号 $\hat{d}'(n)$ のデータが誤っていた場合に、そのワードのブロック内位置に応じて、例えば、上記ブロックの先頭ワードのときには後値ホールド、最終ワードのときには前値ホールド、これら以外の中間位置のワードのときには平均値補間を行うような補間処置を施すものである。しかしながら、こ

であり、加算器 33 の出力 $\hat{x}'(n)$ は、

$$\hat{x}'(n) = \hat{d}'(n) + \tilde{x}'(n) \quad \text{.....⑮}$$

となる。ここで、予測器 3 は、エンコーダ 10 の予測器 12 に等しい特性が選択されることより、

$$\tilde{x}'(n) = \sum_{k=1}^P \alpha_k \cdot \hat{x}'(n-k)$$

であるから、⑭、⑮式より、

$$\hat{x}'(n) = G^{-1} \cdot \hat{d}'(n) + \sum_{k=1}^P \alpha_k \cdot \hat{x}'(n-k) \quad \text{.....⑯}$$

となる。次に、 $\hat{x}'(n)$ 、 $\hat{d}'(n)$ の z 変換をそれぞれ $\hat{X}'(z)$ 、 $\hat{D}'(z)$ とすると、

$$\begin{aligned} \hat{X}'(z) &= G^{-1} \cdot \hat{D}'(z) + \sum_{k=1}^P \alpha_k \cdot \hat{X}'(z) \cdot z^{-k} \\ &= G^{-1} \cdot \hat{D}'(z) + P(z) \cdot \hat{X}'(z) \quad \text{.....⑰} \end{aligned}$$

したがって、

$$\hat{X}'(z) = \frac{G^{-1} \cdot \hat{D}'(z)}{1 - P(z)} \quad \text{.....⑱}$$

となる。ここで、伝送媒体や記録媒体等を介して

のような補間処理を行っても、入力データに誤りがある場合には IIR ディジタル・フィルタ 1 の演算途中においてオーバーフロウが生じてしまうことがあります。このオーバーフロウのため、例えば 2 の補数表示データの場合の極性反転等の悪影響が生じてしまう。

このため、IIR フィルタ 1 の演算語長の上位側に余裕ビットを付加するとともに、フィルタ出力をクリッピング処理することが必要とされるわけであるが、本発明においては、前述したように、IIR フィルタ 1 の帰還ループ内、例えば加算器 2 と予測器 3 との間にクリッピング回路 4 を挿入接続することにより、フィルタ内の演算語長の上位側余裕ビット数を少なく抑えながら上記オーバーフロウによる極性反転等の悪影響の防止を図っている。

G-3. オーバーフロウの説明

次に、伝送されたデータすなわちデコーダ 30 への入力データ $\hat{d}'(n)$ にエラーが生じた場合にどの

程度のオーバーフロウが発生するかを説明する。

ここで、エンコーダ10における上記選択モードの種類数を3とし、これらの3種類の各モードに対応する上記差分処理フィルタ26の互いに異なる3つの特性をそれぞれ第3図の特性曲線A, B, Cに示すようなものとする。これらの曲線A, B, Cに示す特性は、エンコーダ10の差分処理フィルタ26のシステム関数 $1 - P(z)$ を

$$\left. \begin{array}{l} A : 1 - P_0(z) = 1 \\ B : 1 - P_1(z) = 1 - 0.9875 z^{-1} \\ C : 1 - P_2(z) = 1 - 1.796875 z^{-1} + 0.8125 z^{-2} \end{array} \right\} \quad (1)$$

とし、サンプリング周波数 $f_s = 37.8 \text{ kHz}$ したものに相当する。これは、差分処理フィルタ26の予測器12に、第1図の予測器3と同様な見かけ上2次のFIRディジタル・フィルタ構成を用いる場合に、

$$\left. \begin{array}{l} A : \alpha_1 = 0, \alpha_2 = 0 \\ B : \alpha_1 = 0.9875, \alpha_2 = 0 \\ C : \alpha_1 = 1.796875, \alpha_2 = -0.8125 \end{array} \right.$$

Aの周波数レスポンスは、上記約0.7の重み付けがなされることにより、約3dB程度下方(低レベル側)に移動した曲線Aとなり、また、2次差分PCMモードに対応する特性曲線Cについては、約2.0の重み付けがされ、約6dB程度上方(高レベル側)に移動した曲線Cとなる。なお、1次差分PCMモードに対応する特性曲線Bについては、重み付けがなされない(係数が1)ため、元の曲線Bがそのまま用いられる。これらの曲線AとB、およびBとCの各交点の周波数は、それぞれ $\frac{\sqrt{2}}{12} f_s$ および $\frac{f_s}{12}$ (ただし f_s はサンプリング周波数)となり、 $f_s = 37.8 \text{ kHz}$ のときには、 $\frac{\sqrt{2}}{12} f_s = 4.45 \text{ kHz}$, $\frac{f_s}{12} = 3.15 \text{ kHz}$ となる。予測・レンジ適応回路21においては、これらの特性曲線A, B, Cのうちの最も低レベルのものを選択するから、第4図の太線に示すように、入力信号の周波数が低域から $\frac{f_s}{12}$ までのときには曲線Cに対応する2次差分PCMモード選択情報が出力され、 $\frac{f_s}{12}$ から $\frac{\sqrt{2}}{12} f_s$ までのときには曲線Bに対応する1次差分PCMモード選択情報が出力され、 $\frac{\sqrt{2}}{12} f_s$

のように各モードに応じて係数の組 α_1, α_2 を切換選択することで容易に実現でき、Aは入力されたPCMデータをそのまま出力するストレートPCMモードに、Bは1次差分PCMモードに、またCは2次差分PCMモードにそれぞれ対応する。これらの各特性のうちの最適フィルタ特性の選択は、各モードに対応する3種類の差分処理フィルタからの出力のそれぞれのブロック内最大絶対値(ピーク値)に対してそれぞれ重み付けのための係数を乗算し、これらの係数が乗算された(重み付けされた)各モードのブロック内ピーク値を予測・レンジ適応回路21にて比較し、その値が最小となるモードを選択することにより行われる。このときの上記重み付けのための各係数として、例えば曲線AのストレートPCMモードに対して1、曲線Bの1次差分PCMモードに対して約0.7、曲線Cの2次差分PCMモードに対して約2.0としたときの正弦波入力に対する各モードの選択のされ方を第4図に示す。この第4図において、上記ストレートPCMモードに対応する特性曲線

以上のときにはストレートPCMモード選択情報が出力される。

このように、正弦波入力の周波数に応じて最適フィルタが選択されるとき、エラーが最も大きくなり得るのはそのフィルタが選ばれる最高周波数の信号が入力されたときである。すなわち、第4図より、1次差分モードが選択される最高の入力信号周波数は $\sqrt{2} f_s / 12$ であり、2次差分モードが選択される最高の入力信号周波数は $f_s / 12$ である。この場合、入力信号のフルスケール振幅を1とすると、入力周波数が $\sqrt{2} f_s / 12$ で1次差分モードが選択されたとき振幅が $1/\sqrt{2}$ に圧縮され、周波数 $f_s / 12$ で2次差分モードでは $1/4$ に圧縮される。そして、このときのサンプル値間最大落差すなわちホールド補間による真値に対する誤差分は、振幅に対してそれぞれ $1/\sqrt{2}, 1/2$ となる。したがって、フルスケール振幅1の入力に対して、補間処理が行われることによって付加される最大の誤差分は、

入力周波数	モード	最大誤差分
$\sqrt{2}f_s/12$	1次差分	$1 \times \frac{1}{\sqrt{2}} + \frac{1}{\sqrt{2}} = \frac{1}{2}$
$f_s/12$	2次差分	$1 \times \frac{1}{4} \times \frac{1}{2} = \frac{1}{8}$

となる。

次に、上記⑩式のようなシステム関数がエンコーダ側の差分処理フィルタ26においてそれぞれ選択されたときのデコーダ側のIIRフィルタ1のシステム関数（あるいは伝達関数）は、ストレートPCMモード選択時を $F_0(z)$ 、1次差分PCMモード選択時を $F_1(z)$ 、2次差分PCMモード選択時を $F_2(z)$ とするとき、

$$\left. \begin{aligned} F_0(z) &= \frac{1}{1 - P_0(z)} = 1 \\ F_1(z) &= \frac{1}{1 - P_1(z)} \\ &= \frac{1}{1 - 0.9375z^{-1}} \\ F_2(z) &= \frac{1}{1 - P_2(z)} \\ &= \frac{1}{1 - 1.796875z^{-1} + 0.8125z^{-2}} \end{aligned} \right\} \quad ⑩$$

以上の結果からは、演算語長としてMSBの上に更に1ビット程度の余裕があればオーバーフローによる悪影響を防止できるようにも考えられるが、現実には連続的なコード・エラーが発生することもあり、フィルタ入力として例えばインターリープ処理等によりある程度の間隔をもってエラーが生じたデータが入力されたとしても、1つのエラーに対するインパルス応答が0に収束する前に次のエラー・データが入力され、インパルス応答が重複されることにより、誤差のピーク値がさらに増大することになる。実験的には、3%のランダム・エラーに対して上位側に2ビットの余裕をもたせることが必要である。

ところで、第1図において、オーバーフローの発生する場所は加算器2（および9）であることから、加算器2の直後にクリッピング回路4を設けることにより、遅延素子5, 6および乗算器7, 8でのオーバーフロー発生が無くなる。したがって、これらの遅延素子5, 6および乗算器7, 8についてMSBより上位側の余裕ビットは必要が

となる。これらのうち、1次差分モードが選択されたときの上記 $F_1(z)$ の特性を有するIIRフィルタ1のインパルス応答を第5図に示し、2次差分モードのときの上記 $F_2(z)$ のIIRフィルタ1のインパルス応答を第6図に示す。すなわち、第5図の1次差分モードにおいては、1の単位サンプル入力に対して、IIRフィルタ1からの和分あるいは積分出力は単調に減少しており、第6図の2次差分モードでは積分出力は3.61のピークを持つてから減少している。ここで、補間による真値からの誤差分は、この誤差分に相当するインパルスが信号に重複されて入力されたものとみなすことができる。したがって、エラー補間により付加された上記最大誤差分に応じて発生するインパルス応答のピーク値は、

$$\left. \begin{aligned} 1\text{次差分のとき} &: \frac{1}{2} \times 1 = \frac{1}{2} \\ 2\text{次差分のとき} &: \frac{1}{8} \times 3.61 = \frac{0.9}{2} \end{aligned} \right.$$

となり、これらが1サンプルのコード・エラーによって引き起こされるデコーダ出力での誤差のピーク値である。

なく、加算器2（および9）についてのみ上位側に余裕をもっていればオーバーフロー発生による悪影響を防止できる。しかも、このとき必要とされる上位側余裕ビットは、1サンプル・エラーでのオーバーフローが高々6dB未満であることより、毎回リミッタをかけば1ビットの余裕で済む。また、クリッピング回路4を第1図の位置に設けることにより、エラーからの復帰を早めることができる。

G-4. クリッピング処理の説明

ここで、第1図の構成の場合に、クリッピング処理によるインパルス応答の変化の一例について第7図を参照しながら説明する。先ず第7図Aは、上述した第6図に示す単位インパルス入力時の本来の（クリッピングなしの）インパルス応答を示しており、クリッピング回路4により所定の（例えば2の）クリッピング・レベルCLでのクリッピング処理が施されるものとする。ここで、前述した従来の第19図のように出力側でクリッピ

グ処理を施す場合には、第7図Aのクリップ・レベルCL以下の波形がそのまま出力されるわけであるが、本発明の第1図のように帰還ループ内でクリッピング処理が施される場合には、最初にクリップ・レベルCLを越えた分に対応する逆向きのインパルス（第7図Bの矢印部分）が付加されることになるため、第7図Bに示すような上記逆向きのインパルスおよびその応答が第7図Aの波形に重畠され（加え合せられ）、結果として第7図Cに示すような出力が得られる。この第7図Cから明らかのように、上記従来のクリッピング後の出力（第7図AのレベルCL以下の波形に相当）に比べてエラー復帰時間が短縮されている。

次に、第8図ないし第11図は、1ワードおきに8ワードのエラーが生じた場合の単位インパルス応答、すなわち、順次1,0,1,0,1,0,0,0,…の入力があった場合のインパルス応答を示し、第8図は1次差分モードでクリッピング処理なしの場合を、第9図は1次差分モードで帰還ループ内のクリッピング処理を施した場合を、第10図は2

リップされた出力は、ワード番号n=2,3,4の3サンプルだけとなる。このように、エラーからの復帰時間が大幅に短縮されていることが明らかである。

次に、3%のランダム・エラーを含む入力に対する応答の実測例を第12図ないし第15図に示す。第12図は0dB, 2.6kHzの入力により1次差分モードが選択されたときの出力の波形を、第13図は同出力の周波数スペクトルをそれぞれ示し、第14図は-6dB, 2.6kHzの入力により2次差分モードが選択されたときの出力の波形を、第15図は同出力の周波数スペクトルをそれぞれ示している。これらの各図において、Aは第1図の構成を用いて帰還ループ内で16ビット・フルのレベルでクリッピング処理した場合を示し、Bは第19図の従来例のようにフィルタ内部の演算語長に上位側2ビットの余裕をもたせ出力側でクリッピング処理した場合を示し、Cはフィルタ内部の演算語長に上位側の余裕をもたせずクリッピング処理もしない場合を示している。

次差分モードでクリッピング処理なしの場合を、第11図は2次差分モードで帰還ループ内でのクリッピング処理ありの場合をそれぞれ示している。なお、横軸は時間順に従ったワード番号n（n=0,1,2,...）としている。

これらのうち、第10図と第11図の違いについて考察する。先ず、第19図に示すような従来例の場合には、第10図のような応答に対し、フィルタ内部でオーバーフロウが発生しないようにMSBよりも上位側に少なくとも2ビット程度の余裕をもたせて演算を行い、出力の時点では出力レベルを例えばレベル2にクリップする。このとき、ワード番号nが2から28までの出力が全てレベル2にクリップされる。これに対して、本発明の第1図に示す構成の場合には、レベル2を越えたサンプルを帰還ループ内のクリッピング回路4でレベル2にクリップし、このクリップされたレベル2のデータを出力およびフィルタ内部に（遅延素子5に）送って帰還している。よって、その応答は第11図のようになり、実際にレベル2でク

これらの第12図ないし第15図において、第12図Cおよび第14図Cの出力波形には極性の反転が生じており、第13図Cおよび第15図Cのスペクトルを見てもノイズ・レベルが大きく、付録-6dB S/Nは約-2.4dB程度と悪いため、何らかのクリッピング処理が必要であることが明らかである。

これに対して、第12図A, Bや第14図A, Bの出力波形には、クリッピング処理による波形歪みが一部に生じているものの、極性反転のような悪影響は生じておらず、ノイズ・レベルも第13図A, Bや第15図A, Bに示すように小さくなっている。さらに、第12図のAとBや第14図のAとBを比べると、いずれもAの方がBよりもエラーからの復帰時間が早められており、聴感上のS/Nがより改善される。また、第13図のAとBとを比べると、Aの方が低域側ノイズが小さくなっている。実測S/Nも、Bの約-21dBに比べてAの約-23dBと改善されている。なお、第15図A, BのS/Nは、共に約-12dB

であるが、第14図A,Bからも明らかのように、脛膜上はAの方がより好ましくなっている。

G - 5. 他の実施例

ところで、本発明が適用される IIR ディジタル・フィルタは、第 1 図の例に限定されず、例えば第 16 図ないし第 18 図のような構成のフィルタにも適用できる。

これらの第16図、第17図および第18図に示された各 IIR フィルタ 41, 42, 43 は、それぞれ 1D タイプ、2D タイプおよび 3D タイプとも称されるものであり、各図において、 $M_1 \sim M_5$ はそれぞれ係数 $a_1 \sim a_5$ を乗算する係数乗算器、DL は単位遅延素子である。これらの IIR フィルタ 41, 42, 43 の伝達関数 $H(z)$ はいずれも等しく、

$$H(z) = \frac{\alpha_3 + \alpha_4 z^{-1} + \alpha_5 z^{-2}}{1 - \alpha_1 z^{-1} - \alpha_2 z^{-2}} \quad \dots \dots \dots \quad (21)$$

となる。これらのIIRフィルタ41, 42, 43に本発明を適用するには、帰還ループ中にクリ

バーフロウの発生する可能性がある。よって、c点においてエラー無しでも通常起こり得る最大値（演算有効桁、例えば16ビットのフル・スケールを超えることもある）にクリップするクリッピング回路53を、c点の加算器の直後のe点に挿入接続するとともに、d点の加算器の直後のf点には、演算有効桁（例えば16ビット）のフル・スケールでクリップするクリッピング回路54を挿入接続すればよい。このとき、乗算器M₁、M₂および単位遅延素子DLは、c点の加算器で生じ得る最大値までの上位側余裕ビットが必要であり、乗算器M₃～M₅は、d点での加算時の上位側余裕が必要である。

この他、本発明は上記実施例のみに限定されず、
例えば8次以上のIIRデジタル・フィルタに
適用することも可能である。

H. 発明の効果

本発明に係るディジタル・フィルタ回路によれば、帰還ループ中にクリッピング回路を挿入接続

ッピング回路を挿入接続すればよいわけであるが、より好ましくは、オーバーフローの発生する場所の直後に配置するのがよい。

ここで、第17図に示す2DタイプIIRフィルタ42や第18図に示す3DタイプIIRフィルタ43では、オーバーフロウ発生部分はいずれも α 点の加算器である。よって、これらの各 α 点の加算器の直後の各位置 b にそれぞれクリッピング回路51, 52を挿入接続すればよい。このときのクリッピング回路51, 52としては、いずれも演算有効桁（例えば16ビット）のフル・スケールでクリッピングするようなものを用いれば、帰還路にオーバーフロウ・データが供給されることを防止すると同時に、各フィルタ42, 43からの出力のオーバーフロウを防止でき、また加算器のみに上位側1ビット程度（係数 α_1, α_2 等により定まる）の余裕をもたせるだけで充分実用的な動作が可能となる。

次に、第16図に示す1DタイプIIRフィルタの場合には、c, dの加算器においてオーバーフローが発生する。

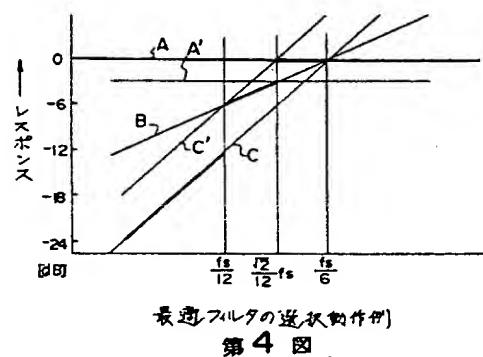
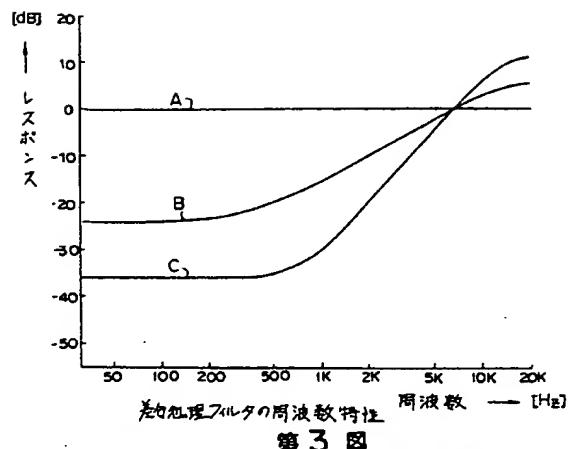
することにより、演算語長の上位側余裕ビットを低減しながら有効なクリッピング処理が行え、オーバーフローによる極性反転等の悪影響を防止できるのみならず、エラーからの回復時間を早めることができ。また、上記帰還ループ中のオーバーフローの生じ得る部分としての加算器等の直後に有効桁のフル・スケールでクリップするクリッピング回路を挿入接続することにより、略演算有効桁分のビット数の単位遅延素子や係数乗算器を用いることが可能となり、上位側余裕ビット数を大幅に低減できるのみならず、フィルタ出力に対するクリッピング処理も同時に行える。さらに、このようなIIRディジタル・フィルタをビット・レート・リダクション・システムのデコーダ側に設けることにより、該デコーダの構成が簡略化でき、優れた品質のデコード出力を得ることができる。

4. 図面の簡単な説明

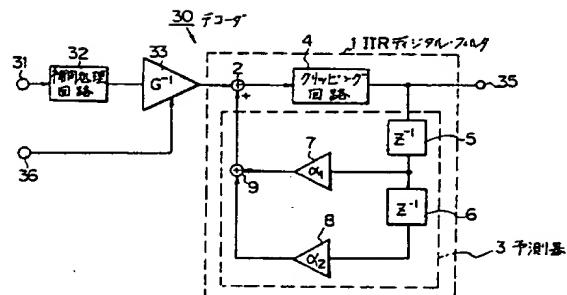
第1図は本発明の一実施例を示すブロック図、

第2図は該実施例を用いて成るビット・レート・リダクション・システムの全体構成を示すブロック図、第3図は第2図のエンコーダ側の差分処理フィルタの周波数特性を示すグラフ、第4図は最適フィルタの選択動作例を説明するためのグラフ、第5図ないし第7図は単位インパルス入力に対する応答を示すグラフ、第8図ないし第11図は1, 0, 1, 0, 1, 0, 0, 0, …入力に対する応答を示すグラフ、第12図および第14図はIIRディジタル・フィルタの出力波形を示すグラフ、第13図および第15図はIIRフィルタ出力の周波数スペクトルを示すグラフ、第16図ないし第18図はそれぞれ異なる他の実施例を示すグラフ、第19図は従来例を示すブロック図である。

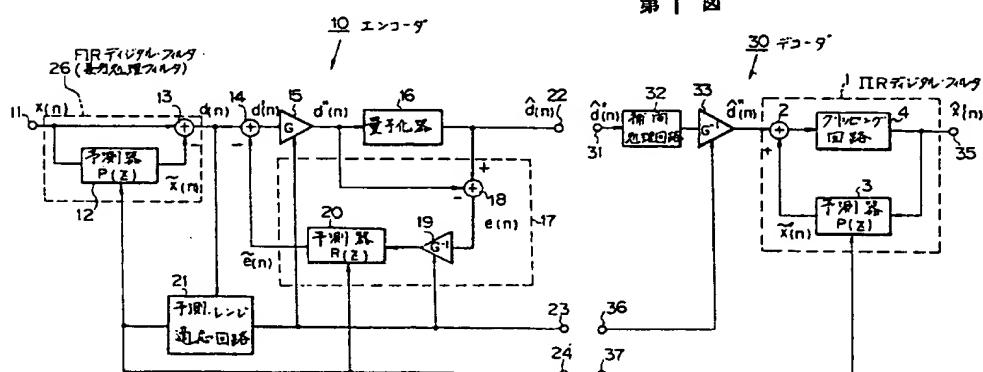
- 1, 41, 42, 43 …… IIRディジタル・フィルタ
- 2 …… 加算器
- 3 …… 予測器
- 4, 51, 52, 53, 54 …… クリッピング回路
- 10 …… エンコーダ
- 30 …… デコーダ



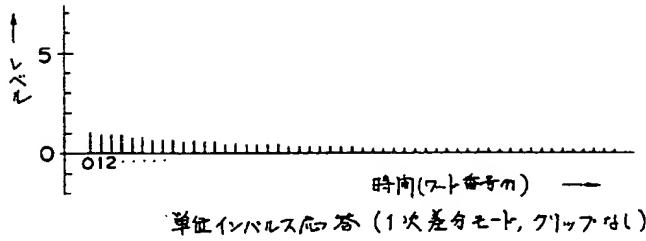
第4図



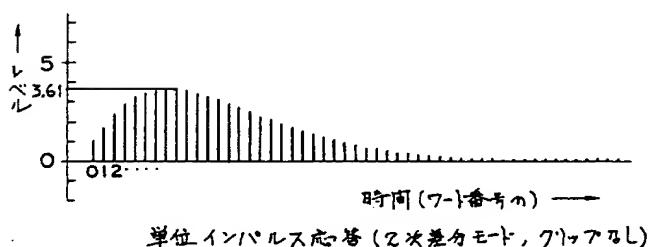
第1図



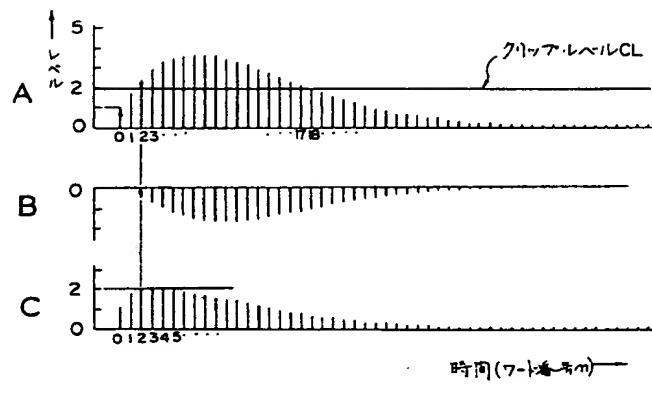
第2図



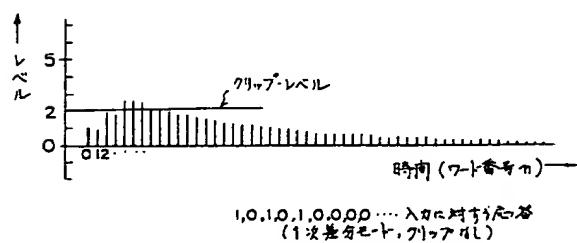
第5図



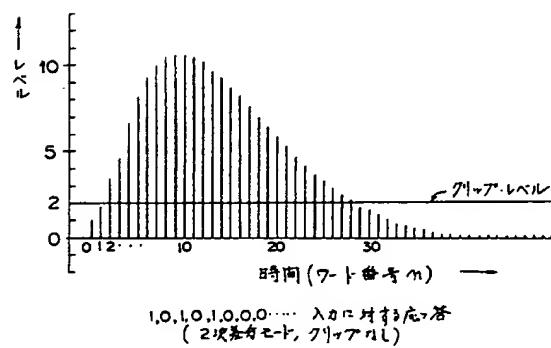
第6図



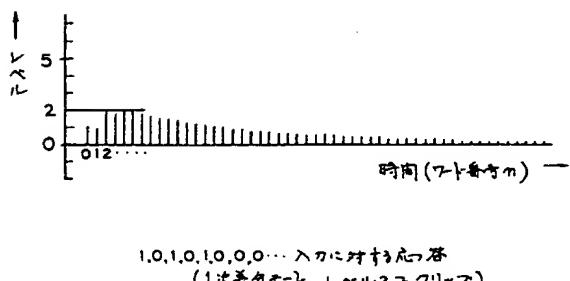
第7図



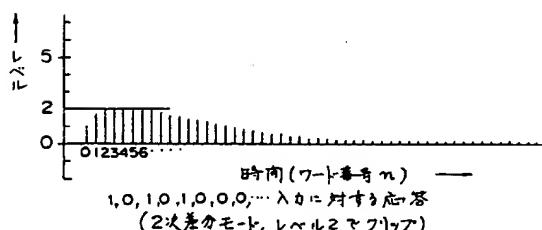
第8図



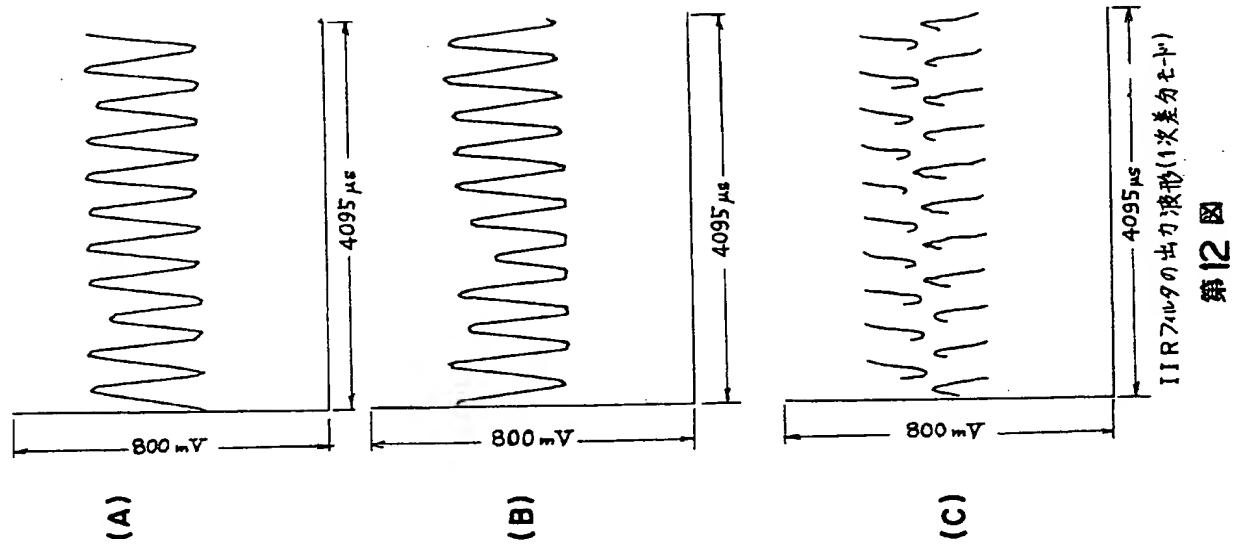
第10図



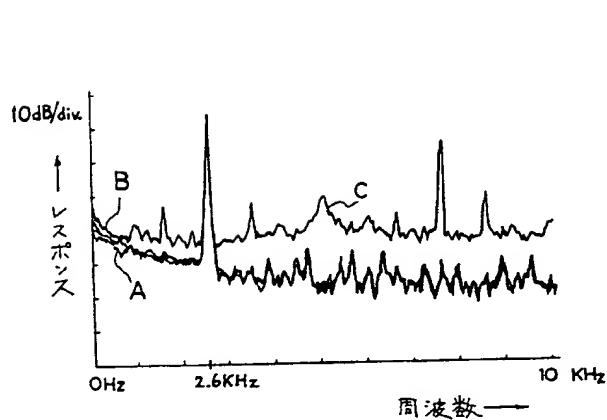
第9図



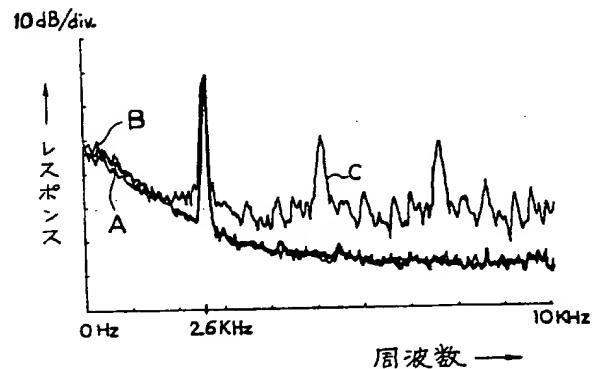
第11図



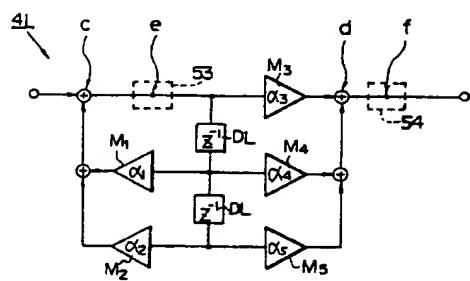
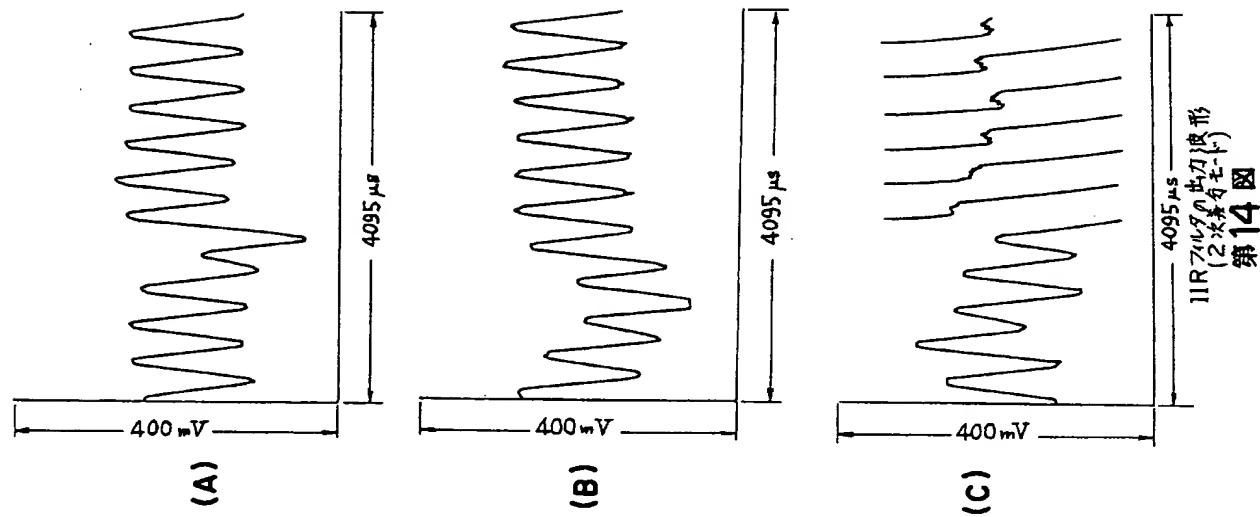
第12図

IIRフィルタ出力の周波数スペクトル
(1次差分モード)

第13図

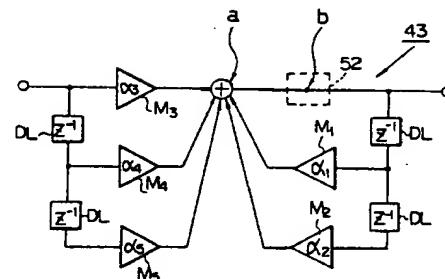
IIRフィルタ出力の周波数スペクトル
(2次差分モード)

第15図



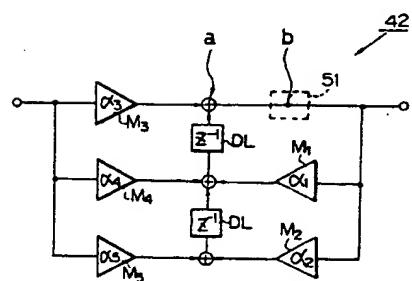
1D917 HIR フィルタ

第16圖



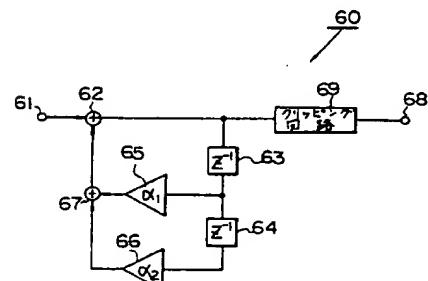
3DターボIIR フィラタ

第18図



20タイヤIIR フィルタ

第17図



従来例のブロック図

第19圖

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.